

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/707,803	
	Filing Date	01/13/2004	
	First Named Inventor	Chao-Cheng Lee	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	REAP0003USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Response to the office action has been sent to the examiner by fax on 12/04/2003	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	3/12/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/707,803
Filing Date	01/13/2004
First Named Inventor	Chao-Cheng Lee
Examiner Name	
Art Unit	
Attorney Docket No.	REAP0003USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit
Account
Number
Deposit
Account
Name

50-0801

North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		Extra Claims		Fee from below		Fee Paid	
Independent Claims		- 20** =		X			
Multiple Dependent		- 3** =		X			

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	3/12/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

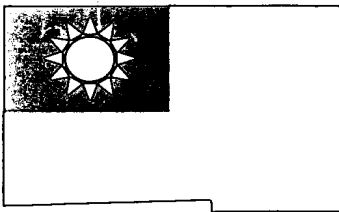
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092108552	Taiwan R.O.C	04/14/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



92A-01805

REA-P000305

941151

智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 14 日
Application Date

申請案號：092108552
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 29 日
Issue Date

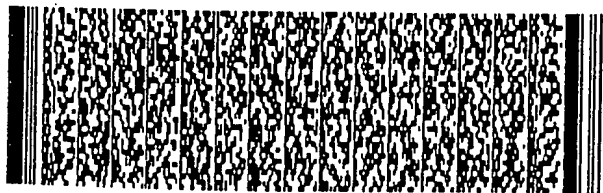
發文字號：09220970280
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	放大電路
	英文	AMPLIFYING CIRCUIT
二 發明人 (共2人)	姓名 (中文)	1. 李朝政
	姓名 (英文)	1. Lee, Chao-Cheng
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣中壢市新生路三吉公寓二巷六十一之一號
	住居所 (英文)	1. No. 61-1, Lane 2, Shin-Sheng Rd., Jung-Li City, Tao-Yuan Hsien, Taiwan, R.O.C
三 申請人 (共1人)	名稱或姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len



申請日期：

IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、
發明名稱

中 文

英 文

二
發明人
(共2人)姓 名
(中文)

2. 張家潤

姓 名
(英文)

2. Chang, Chia-Jun

國 籍
(中英文)

2. 中華民國 TW

住居所
(中 文)

2. 台北市南京東路五段六十六巷二十二弄一號七樓

住居所
(英 文)

2. 7F, No. 1, Alley 22, Lane 66, Sec. 5, Nan-Jing E. Rd, Taipei City, Taiwan, R.O.C

三
申請人
(共1人)名稱或
姓 名
(中文)名稱或
姓 名
(英文)國 籍
(中英文)住居所
(營業所)
(中 文)住居所
(營業所)
(英 文)代表人
(中文)代表人
(英文)

四、中文發明摘要 (發明名稱：放大電路)

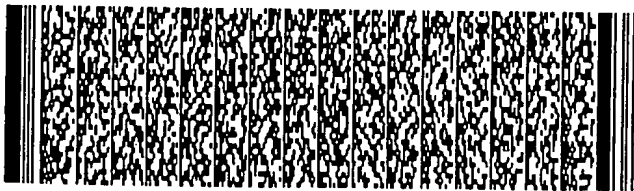
一種放大電路，包含有一放大器具有一正輸入端、一負輸入端、一正輸出端、一負輸出端；一第一輸入阻抗，連接於該負輸入端及一第一輸入訊號間；一第二輸入阻抗，連接於該正輸入端及該第一輸入訊號間；一第三輸入阻抗，連接於該負輸入端及一第二輸入訊號間；一第四輸入阻抗，連接於該正輸入端及該第二輸入訊號間；一第一輸出阻抗，連接於該負輸入端及該正輸出端間；一第二輸出阻抗，連接於該負輸入端及該負輸出端間；一第三輸出阻抗，連接於該正輸入端及該正輸出端間；以及一第四輸出阻抗，連接於該正輸入端及該負輸出端間。

五、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：AMPLIFYING CIRCUIT)

An amplifying circuit. The amplifying circuit includes an amplifier has a positive input end, a negative input end, a positive output end, and a negative output end; a first input impedance connected between the negative input end and a first input signal; a second input impedance connected between the positive input end and the first input signal; a third input impedance connected

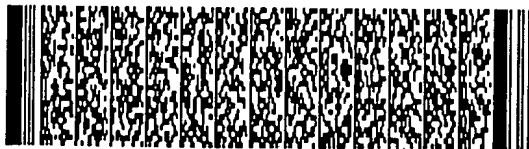


四、中文發明摘要 (發明名稱：放大電路)

10 放大電路 20 差動放大器
12、14、16、18 輸入阻抗
22、24、26、28 輸出阻抗

六、英文發明摘要 (發明名稱：AMPLIFYING CIRCUIT)

between the negative input end and a second input signal; a fourth input impedance connected between the positive input end and the second input signal; a first output impedance connected between the negative input end and the positive output end; a second output impedance connected between the negative input end and the negative output end; a third output impedance connected



四、中文發明摘要 (發明名稱：放大電路)

六、英文發明摘要 (發明名稱：AMPLIFYING CIRCUIT)

between the positive input end and the positive output end; and a fourth output impedance connected between the positive input end and the negative output end.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種放大電路，尤指一種利用阻抗匹配之方式達到等效輸入阻抗大、電壓增益值大（或者電壓衰減值大）、以及時間常數大等電路特性之放大電路。

先前技術

自從第一顆電晶體的發明以來，人類便進入了所謂的電子時代，而伴隨著各種電子電路理論的發展以及半導體製程技術的日新月異，電路設計工作也日趨複雜及專業分工。在各種基礎電路架構當中，放大電路向來是非常重要的部份，放大電路依據應用的不同係包含有訊號放大及功率放大等功能，而其中則以訊號放大電路最為常見。

請閱參圖一，圖一中顯示習知技術中利用一操作放大器（Operational Amplifier）進行訊號放大之放大電路的示意圖。圖一中之放大電路包含有一操作放大器，其具有一正輸入端、一負輸入端、及一輸出端（在此該操作放大器只具有一個輸出端，然而圖一中之操作放大器亦可為一差動放大器（Differential Amplifier），並以該差動放大器之正輸出端作為圖一中該操作放大器之輸出端）；一阻抗 Z_2 ，其一端電連接於該負輸入端，另

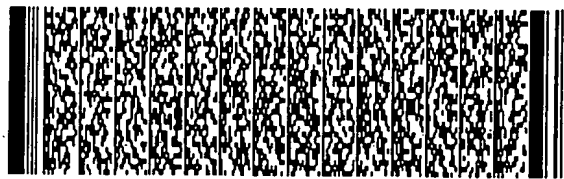
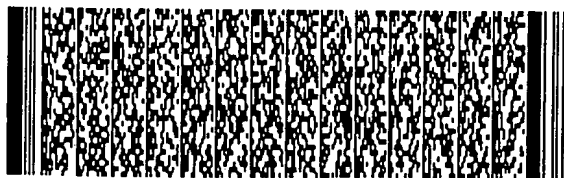
五、發明說明 (2)

一端則電連接於一輸入電壓訊號 V_i ；以及一阻抗 Z_2 ，其一端電連接於該負輸入端，而另一端則電連接於該輸出端；而其中位於該輸出端上之訊號係為一輸出電壓訊號 V_o 。請注意，於圖一中該操作放大器之正輸入端係電連接於一接地端，而在理想狀況下，由於操作放大器通常具有一趨近於無限大的輸入阻抗，因此並不會有電流流經該操作放大器之二輸入端，而使得該負輸入端為虛擬接地 (Virtual Ground)。

於圖一所示之放大電路的電路組態之下，可進行以下之公式推導：由於該操作放大器之負輸入端為虛擬接地，故該操作放大器之負輸入端上的電壓值係為 $0V$ 。如此則經由阻抗 Z 流向該負輸入端之電流可表示為 $I_1 = (V_i - 0) / Z_1$ ，同樣地，經由阻抗 Z 流向該負輸入端之電流則可表示為 $I_2 = (V_o - 0) / Z_2$ 。而又由於並不會有電流流入該操作放大器之負輸入端，則可得到以下的等式： $I_1 + I_2 = 0$ ，再經過推導，則可得到如下所示之公式一：

$$V_o / V_i = - Z_2 / Z_1 \quad \text{公式一}$$

於一般之放大電路的應用中，為了得到較佳的訊號品質及頻率響應等電路特性，通常希望放大電路能夠具有等效輸入阻抗大、電壓增益值大（或者電壓衰減值大）、以及時間常數大 (Large Time Constant) 等電路



五、發明說明 (3)

特性，而於習知技術中，為了達到這些目標，會於阻抗 Z_1 及阻抗 Z 的位置放入不同的電阻性阻抗 (Resistive Impedance)、電容性阻抗 (Capacitive Impedance)、或電感性阻抗 (Inductive Impedance)，並利用各種不同的組合以透過公式一的推導，以達到上述各種不同的電路特性之要求。

然而，為了達到上述之目標，上述之各種被動元件（如電阻、電容、電感等）均需要相當大的數值，而於積體電路的製程當中，製造大數值的被動元件將耗費非常大的電路面積，如此則將使得積體電路製造的成本大幅增加。

發明內容

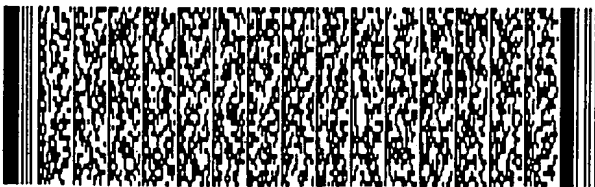
因此本發明之主要目的在於提供一種放大電路，以解決上述習知的問題。

根據本發明之申請專利範圍，係揭露一種放大電路，其包含有一差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；一第一輸入阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；一第二輸入阻抗，其一端電連接於該正輸入端，另一端電連接於該第一輸入訊號；一第三輸入阻抗，其

五、發明說明 (4)

輸入端，與該電第連該阻負相，
二上端係一端；端接輸出該上號，
第一質輸入抗其端一連三四接實訊，
一實輸入阻，出另電第第連抗輸。
於抗正輸入抗輸，端該一電阻一號。
接阻該輸出正端一，及端出第訊
連入於四出該入其端，以一輸一出
電輸接第輪於輸，出；另一為輸
端二連該一接負抗輸，同，第號二
一第電，第連該阻正相端該訊第
另該端號一電於出該上入與之一
，與一訊；端接輸於質輸入係上為
端係其入同一連三接實正抗端號
輸入抗，輸相同一電第連抗該阻出訊
輸入阻抗二上，端一電阻於輸出之
負輸入阻第質端一；端出接輸正上
該輸入該實入其端一輸連四該端
於三輪於抗輸，出另二電第於出
接第四接阻負抗輸，第端該位輸
連該第連入該阻負端該一，中負
電，一電輸於出該入與其一，該
端號；端一接輸於該係其端，於

大輸壓另一訊
放負端，其輸入
一種、直流端，輸
揭露端、輸入阻
亦正連接於該第
範圍，一電連接於
專利具有係連一電
申請專器輸入端一
一放負其輸入端，另
另一操作該負輸入
之有一端，抗，第一
發明有輸出阻，第一
本包含一輸入於該正
根據其包一輸接於一
路，及第一輸接於一
電端、一第電連及一
入端；一電連以另訊
源；一端電號；上之
端電號；上之



五、發明說明(5)

本發明之放大電路係將複數個阻抗元件分別電連接於輸入訊號及該放大器之輸入端之間，並電連接於該放大器之輸入端及輸出端之間，能夠在不使用大數值之阻抗元件的情形下，利用調整該等阻抗元件之數值及特性，以達到能夠在不同的阻抗元件組合下分別具有等效輸入阻抗大、電壓增益值大（或者電壓衰減值大）、以及時間常數大等電路特性的目的。

實施方式

請閱參圖二，圖二中顯示本發明之放大電路 10 的示意圖。放大電路 10 包含有一差動放大器 20 具有一正輸入端、一負輸入端（如圖二中差動放大器 20 左側之 +、- 號所示）、一正輸出端、及一負輸出端（如圖二中差動放大器 20 右側之 +、- 號所示）；一第一輸入阻抗 12，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號 V_{i1} ；一第二輸入阻抗 14，其一端電連接於該正輸入端，另一端電連接於第一輸入訊號 V_{i1} ；一第三輸入阻抗 16，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號 V_{i2} ，請注意，第三輸入阻抗 16 係與第二輸入阻抗 14 為實質上相同（Substantially the same）之阻抗元件，亦即此二者之電路特性及數值係相同；一第四輸入阻抗 18，其一端電連接於該正輸入端，另一端電

五、發明說明 (6)

連接於第二輸入訊號 V_{i2} ，而第四輸入阻抗 18 則與第一輸入阻抗 12 實質上相同；一第一輸出阻抗 22，其一端電連接於該負輸入端，另一端電連接於該正輸出端；一第二輸出阻抗 24，其一端電連接於該負輸入端，另一端電連接於該負輸出端；一第三輸出阻抗 26，其一端電連接於該正輸入端，另一端電連接於該正輸出端，第三輸出阻抗 26 係與第二輸出阻抗 24 實質上相同；以及一第四輸出阻抗 28，其一端電連接於該正輸入端，另一端電連接於該負輸出端，第四輸出阻抗 28 則與第一輸出阻抗 22 實質上相同。於本實施例中係將位於該正輸出端上之訊號設為一第一輸出訊號 V_{o1} ，並將位於該負輸出端上之訊號設為一第二輸出訊號 V_{o2} 。

請注意，於本實施例中，依據實際上設計之需要，第一輸入阻抗 12、第二輸入阻抗 14、第三輸入阻抗 16、第四輸入阻抗 18、第一輸出阻抗 22、第二輸出阻抗 24、第三輸出阻抗 26、或者第四輸出阻抗 28 可以為電阻性阻抗 (Resistive Impedance)、電容性阻抗 (Capacitive Impedance)、或者電感性阻抗 (Inductive Impedance)，以達到不同之目的。

接下來將說明本發明之放大電路 10 為分別達到高等效輸入阻抗、高電壓增益值 (或者高電壓衰減值)、以及大時間常數等目標時各個阻抗之設定。於接下來的說

五、發明說明 (7)

明當中，由於一般放大電路於應用時係使用差動模式 (Differential Mode) 操作，則將第一輸入訊號 V_i 之值設定為一輸入電壓值 V_i ，第二輸入訊號 V_i 之值設定為一輸入電壓值 $-V_i$ ，並將第一輸出訊號 V_o 之值設定為 V_o ，第二輸出訊號 V_o 之值設定為 $-V_o$ ，同時將差動放大器 20 之正輸入端及負輸入端假設為虛擬接地 (即 0V)，且差動放大器 20 之輸入阻抗趨近於無限大 (即電流不會流入其輸入端)，以利說明。

若欲得到一高等效輸入阻抗，則於放大電路 10 中將第一輸入阻抗 12 及第四輸入阻抗 18 設定成數值為 R_i 之電阻性阻抗，並將第二輸入阻抗 14 及第三輸入阻抗 16 設定成數值為 $R_i(1+\alpha)$ 之電阻性阻抗，其中 $|\alpha| \ll 1$ ，也就是說，第一輸入阻抗 12 之值與第二輸入阻抗 14 之值十分接近，第三輸入阻抗 16 之值與第四輸入阻抗 18 之值十分接近。在此設定之下，檢視流經差動放大器 20 之負輸入端的電流 i 之關係式可得到以下等式：

$$\frac{V_1 - 0}{R_i} + \frac{V_2 - 0}{R_i(1+\alpha)} = i_i$$

由於第一輸入訊號 V_i 等於 V_i ，第二輸入訊號 V_i 等於 $-V_i$ ，而在此電流 i 即為一輸入電流 i_i ，故經過推導上述等式會變成：

五、發明說明 (8)

$$\frac{V_i}{i_i} = \frac{R_i(1+\alpha)}{\alpha} \approx \frac{R_i}{\alpha}$$

$$|\alpha| \ll 1$$

公式二

如公式二所示，輸入電壓 V_i 及輸入電流 i_i 之比值（即等效輸入阻抗之值）係近似於 R_i/α ，而由於 α 之絕對值係遠小於 1，故可知於本發明之放大電路 10 之組態下，圖二中之等效輸入阻抗可為一十分大之數值。在此須注意的是，若檢視流經差動放大器 20 之正輸入端的電流之關係式亦會得到相同的結果，故不在此重覆說明。

若欲得到一高電壓增益值，則於放大電路 10 中將第一輸入阻抗 12 及第四輸入阻抗 18 設定成數值為 R_i 之電阻性阻抗，並將第二輸入阻抗 14 及第三輸入阻抗 16 設定成實質上趨近於無限大，同時將第一輸出阻抗 22 及第四輸出阻抗 28 設定成數值為 R_f 之電阻性阻抗，並將第二輸出阻抗 24 及第三輸出阻抗 26 設定成數值為 $R_f(1+\beta)$ 之電阻性阻抗，其中 $|\beta| \ll 1$ ，也就是說，第一輸出阻抗 22 之值與第二輸出阻抗 24 之值十分接近，第三輸出阻抗 26 之值與第四輸出阻抗 28 之值十分接近。在此設定之下，檢視流經差動放大器 20 之負輸入端的電流 i 之關係式可得到以下等式：

$$\frac{V_i - 0}{R_i} = -\left(\frac{V_{O1} - 0}{R_f} + \frac{V_{O2} - 0}{R_f(1+\beta)}\right)$$

五、發明說明 (9)

由於第一輸入訊號 V_i 等於 V_i ，且第一輸出訊號 V_o 等於 V_o ，第二輸出訊號 V_{o2} 等於 $-V_o$ ，故經過推導上述等式會變成：

$$\frac{V_o}{V_i} = -\frac{R_f}{R_i} \times \frac{1}{\beta / (1 + \beta)} = -\left(\frac{R_f}{R_i}\right) \left(\frac{1}{\beta}\right) \quad \text{① } |\alpha| \ll 1 \quad \text{公式三}$$

如公式三所示，輸入電壓 V_i 及輸出電壓 V_o 之比值（即電壓增益值）係近似於 $(R_f / R_i) / \beta$ ，而由於 β 之絕對值係遠小於 1，故可知於本發明之放大電路 10 之組態下，圖二中之電壓增益值可為一十分大之數值。在此須注意的是，若檢視流經差動放大器 20 之正輸入端的電流之關係式亦會得到相同的結果，故不在此重覆說明。

若欲得到一高電壓衰減值，則於放大電路 10 中將第一輸入阻抗 12 及第四輸入阻抗 18 設定成數值為 R_i 之電阻性阻抗，並將第二輸入阻抗 14 及第三輸入阻抗 16 設定成數值為 $R_i(1 + \alpha)$ 之電阻性阻抗，其中 $|\alpha| \ll 1$ ，也就是說，第一輸入阻抗 12 之值與第二輸入阻抗 14 之值十分接近，第三輸入阻抗 16 之值與第四輸入阻抗 18 之值十分接近，同時將第一輸出阻抗 22 及第四輸出阻抗 28 設定成數值為 R_f 之電阻性阻抗，並將第二輸出阻抗 24 及第三輸出阻抗 26 設定成實質上趨近於無限大。在此設定之下，檢

五、發明說明 (10)

視流經差動放大器 20 之負輸入端的電流 i 之關係式可得到以下等式：

$$\frac{V_1 - 0}{R} + \frac{V_2 - 0}{R(1 + \alpha)} = -\frac{(V_O - 0)}{R_f}$$

由於第一輸入訊號 V_1 等於 V_i ，第二輸入訊號 V_2 等於 $-V_i$ ，且第一輸出訊號 V_O 等於 V_o ，故經過推導上述等式會變成：

$$\frac{V_o}{V_i} = -\frac{R_f}{R} \times \frac{\alpha}{1 + \alpha} \approx -\left(\frac{R_f}{R}\right)\alpha$$

$\alpha \ll 1$

公式四

如公式四所示，輸入電壓 V_i 及輸出電壓 V_o 之比值之絕對值（即電壓增益值）係近似於 $(R_f / R_i)\alpha$ ，而由於 α 之絕對值係遠小於 1，故可知於本發明之放大電路 10 之組態下，圖二中之電壓增益值可為一十分小之數值，也就是說，圖二中之電壓衰減值為一十分大之數值。在此須注意的是，若檢視流經差動放大器 20 之正輸入端的電流之關係式亦會得到相同的結果，故不在此重覆說明。

若欲得到一大時間常數，則有以下兩種實施方式：第一種實施方式係於放大電路 10 中將第一輸入阻抗 12 及第四輸入阻抗 18 設定成數值為 R_i 之電阻性阻抗，並將第二輸入阻抗 14 及第三輸入阻抗 16 設定成數值為 $R_i(1 + \alpha)$

五、發明說明 (11)

之電阻性阻抗，其中 $|\alpha| \ll 1$ ，也就是說，第一輸入阻抗 12 之值與第二輸入阻抗 14 之值十分接近，第三輸入阻抗 16 之值與第四輸入阻抗 18 之值十分接近，同時將第一輸出阻抗 22 及第四輸出阻抗 28 設定成數值為 $1/sC$ 之電容性阻抗，並將第二輸出阻抗 24 及第三輸出阻抗 26 設定成實質上趨近於無限大。在此設定之下，檢視流經差動放大器 20 之負輸入端的電流 i 之關係式可得到以下等式：

$$\frac{V_1 - 0}{R} + \frac{V_2 - 0}{R(1 + \alpha)} = -\left(\frac{V_{O1} - 0}{1/sC}\right)$$

由於第一輸入訊號 V_1 等於 V_i ，第二輸入訊號 V_2 等於 $-V_i$ ，且第一輸出訊號 V_{O1} 等於 V_o ，故經過推導上述等式會變成：

$$\frac{V_o}{R} = -\frac{1/sC}{R} \times \frac{\alpha}{1 + \alpha} = -\left(\frac{1}{s(RC/\alpha)}\right)$$

◎ $|\alpha| \ll 1$ 公式五

如公式五所示，時間常數之值係近似於 R/α ，而由於 α 之絕對值係遠小於 1，故可知於本發明之放大電路 10 之組態下，圖二中之時間常數值可為一十分大之數值。在此須注意的是，若檢視流經差動放大器 20 之正輸入端的電流之關係式亦會得到相同的結果，故不在此重覆說明。

五、發明說明 (12)

而第二種實施方式係於放大電路 10 中將第一輸入阻抗 12 及第四輸入阻抗 18 設定成數值為 $1/sC$ 之電容性阻抗，並將第二輸入阻抗 14 及第三輸入阻抗 16 設定成實質上趨近於無限大，同時將第一輸出阻抗 22 及第四輸出阻抗 28 設定成數值為 R_f 之電阻性阻抗，並將第二輸出阻抗 24 及第三輸出阻抗 26 設定成數值為 $R_f(1+\beta)$ 之電阻性阻抗，其中 $|\beta| \ll 1$ ，也就是說，第一輸出阻抗 22 之值與第二輸出阻抗 24 之值十分接近，第三輸出阻抗 26 之值與第四輸出阻抗 28 之值十分接近。在此設定之下，檢視流經差動放大器 20 之負輸入端的電流 i 之關係式可得到以下等式：

$$\frac{V_1 - 0}{1/sC} = -\left(\frac{V_{O1} - 0}{R_f} + \frac{V_{O2} - 0}{R_f(1+\beta)}\right)$$

由於第一輸入訊號 V_i 等於 V_1 ，且第一輸出訊號 V_o 等於 V_{O1} ，第二輸出訊號 V_{O2} 等於 $-V_o$ ，故經過推導上述等式會變成：

$$\frac{V_o}{V_i} = -\frac{R_f}{1/sC} \times \frac{1}{\beta/(1+\beta)} \approx -s(R_f C/\beta) \quad \text{◎ } |\beta| \ll 1 \quad \text{公式六}$$

如公式六所示，時間常數之值係近似於 $R_f C/\beta$ ，而由於 β 之絕對值係遠小於 1，故可知於本發明之放大電路 10 之組態下，圖二中之時間常數值可為一十分大之數

五、發明說明 (13)

值。在此須注意的是，若檢視流經差動放大器 20 之正輸入端的電流之關係式亦會得到相同的結果，故不在此重覆說明。

為了於積體電路中非常精確地製造出二個非常接近之電阻性阻抗，如上述之 R_i 及 $R_i(1+\alpha)$ 或者 R_f 及 $R_f(1+\beta)$ ，而使得 α 及 β 之值為所需要之值，於本發明之實施例中將揭露以下兩種利用開關電容電路來實現第一輸入阻抗 12、第二輸入阻抗 14、第三輸入阻抗 16、第四輸入阻抗 18、第一輸出阻抗 22、第二輸出阻抗 24、第三輸出阻抗 26、或者第四輸出阻抗 28 之實施方式：關於第一種實施方式請參閱圖三，圖三中顯示本發明之第一種開關電容電路 30 之示意圖。開關電容電路 30 包含有一電容 32，電連接於一第一節點 N_1 及一接地端之間，用來儲存電荷；一第一開關 34，其一端電連接於第一節點 N_1 ，另一端係作為開關電容電路 30 之一端點 A；以及一第二開關 36，其一端電連接於第一節點 N_1 ，另一端係作為開關電容電路 30 之另一端點 B。請注意，於實際操作時，第一開關 34 及第二開關 36 開啟之時間係不相互重疊，且第一開關 34 及第二開關 36 開啟之時間長度係相等。

請閱參圖四，圖四中顯示圖三之開關電容電路 30 之實際電路圖。於圖四中，第一開關 34 及第二開關 36 係為同類型開關（於圖四中均為 NMOS 電晶體），第一開關 34

五、發明說明 (14)

由一第一週期訊號 ϕ 所控制，第二開關 36 由一第二週期訊號 ϕ 所控制，第一週期訊號 ϕ 及第二週期訊號 ϕ 之主動態 (Active State) 係不相互重疊，且第一週期訊號 ϕ 及第二週期訊號 ϕ 之工作週期 (Duty Cycle) 係相同。於圖四中由於第一開關 34 及第二開關 36 為 NMOS 電晶體，故第一週期訊號 ϕ 及第二週期訊號 ϕ 係為高態主動 (Active High)，也就是說，當週期訊號為高電壓準位時，開關呈現開啟狀態。

圖四中之開關電容電路 30 的操作方式將於以下說明。在此假設開關電容電路 30 之其中一端點 A 係電連接於一等效電壓源，首先第一週期訊號 ϕ 會被設為高電壓準位，此時第二週期訊號 ϕ 將會被設為低電壓準位，如此則第一開關 34 會被開啟而第二開關 36 會被關閉，此時從端點 A 經由第一開關 34 及電容 32 至接地端將形成一充電路徑，而該等效電壓源將會於第一週期訊號 ϕ 被設為高電壓準位 (即主動) 之期間對電容 32 進行充電，使得電容 32 儲存電荷。接下來第二週期訊號 ϕ 會被設為高電壓準位，此時第一週期訊號 ϕ 則會被設為低電壓準位，如此則第一開關 34 會被關閉而第二開關 36 會被開啟，此時從接地端經由電容 32 及第二開關 36 至端點 B 將形成一放電路徑，而電容 32 中於先前所儲存之電荷則會經由接地端進行放電並於端點 B 產生相對應之一電流。如果第一週期訊號 ϕ 及第二週期訊號 ϕ 之頻率比起使用放大電路 10 之積



五、發明說明 (15)

體電路之操作頻率要來得高得多，則開關電容電路 30 將可被視為等效於一電阻性阻抗（因其於端點 A 接受該等效電壓源之驅動即於端點 B 產生一電流）。

若電容 32 之電容值為 C_1 而第一週期訊號 ϕ 及第二週期訊號 ϕ 之週期為 T ，則圖四中之開關電容電路 30 於端點 A 及端點 B 之間的阻抗值可表示為 T/C_1 。由於於目前的數位電路設計技術中，對週期訊號之週期及工作週期進行十分精確的控制相對來說並不困難，故欲產生上述十分接近之二阻抗值，如 R_i 及 $R_i(1+\alpha)$ 或者 R_f 及 $R_f(1+\beta)$ ，僅需對圖四中之開關電容電路 30 之第一週期訊號 ϕ 及第二週期訊號 ϕ 之週期進行適當的控制即可。

至於第二種實施方式請參閱圖五，圖五中顯示本發明之第二種開關電容電路 40 之示意圖。開關電容電路包含有一電容 42，電連接於一第一節點 N_1 及一第二節點 N_2 之間，用來儲存電荷；一第一開關 44，其一端電連接於第一節點 N_1 ，另一端係作為開關電容電路 40 之一端點 A；一第二開關 46，其一端電連接於第一節點 N_1 ，另一端電連接於一接地端；一第三開關 48，其一端電連接於第二節點 N_2 ，另一端係作為開關電容電路 40 之另一端點 B；以及一第四開關，其一端電連接於第二節點 N_2 ，另一端電連接於該接地端。請注意，於實際操作時，第一開關 44 及第四開關 50 係同時開啟，第二開關 46 及第三開關 48 係同時開

五、發明說明 (16)

啟，第一開關 44 及第四開關 50 開啟之時間與第二開關 46 及第三開關 48 開啟之時間係不相互重疊，且第一開關 44 及第四開關 50 開啟之時間長度與第二開關 46 及第三開關 48 開啟之時間長度係相等。

請閱參圖六，圖六中顯示圖五之開關電容電路 30 之實際電路圖。於圖六中，第一開關 44、第二開關 46、第三開關 48、及第四開關 50 係為同類型開關（於圖六中均為 NMOS 電晶體），第一開關 44 及第四開關 50 由一第一週期訊號 ϕ 所控制，第二開關 46 及第三開關 48 由一第二週期訊號 ϕ 所控制，第一週期訊號 ϕ 及第二週期訊號 ϕ 之主動態係不相互重疊，且第一週期訊號 ϕ 及第二週期訊號 ϕ 之工作週期係相同。於圖六中由於第一開關 44、第二開關 46、第三開關 48、及第四開關 50 為 NMOS 電晶體，故第一週期訊號 ϕ 及第二週期訊號 ϕ 係為高態主動，也就是說，當週期訊號為高電壓準位時，開關呈現開啟狀態。

圖六中之開關電容電路 40 的操作方式將於以下說明。在此假設開關電容電路 40 之其中一端點 A 係電連接於一等效電壓源，首先第一週期訊號 ϕ 會被設為高電壓準位，此時第二週期訊號 ϕ 將會被設為低電壓準位，如此則第一開關 44 及第四開關 50 會被開啟而第二開關 46 及第三開關 48 會被關閉，此時從端點 A 經由第一開關 44、電容

五、發明說明 (17)

42及第四開關 50至接地端將形成一充電路徑，而該等效電壓源將會於第一週期訊號 ϕ 被設為高電壓準位（即主動）之期間對電容 42進行充電，使得電容 42儲存電荷。接下來第二週期訊號 ϕ 會被設為高電壓準位，此時第一週期訊號 ϕ 則會被設為低電壓準位，如此則第一開關 44及第四開關 50會被關閉而第二開關 46及第三開關 48會被開啟，此時從接地端經由第二開關 46、電容 42及第三開關 48至端點 B將形成一放電路徑，而電容 42中於先前所儲存之電荷則會經由接地端進行放電並於端點 B產生相對應之一電流。如果第一週期訊號 ϕ 及第二週期訊號 ϕ 之頻率比起使用放大電路 10之積體電路之操作頻率要來得高得多，則開關電容電路 40將可被視為等效於一電阻性阻抗（因其於端點 A接受該等效電壓源之驅動即於端點 B產生一電流）。

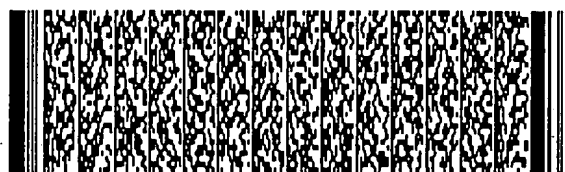
若電容 42之電容值為 C_2 而第一週期訊號 ϕ 及第二週期訊號 ϕ 之週期為 T ，則圖六中之開關電容電路 40於端點 A及端點 B之間的阻抗值可表示為 T/C_2 。由於於目前的數位電路設計技術中，對週期訊號之週期及工作週期進行十分精確的控制相對來說並不困難，故欲產生上述十分接近之二阻抗值，如 R_i 及 $R_i(1+\alpha)$ 或者 R_f 及 $R_f(1+\beta)$ ，僅需對圖六中之開關電容電路 40之第一週期訊號 ϕ 及第二週期訊號 ϕ 之週期進行適當的控制即可。

五、發明說明 (18)

除了如圖二中所示之差動模式的應用之外，本發明之放大電路的概念亦可使用於單端模式 (Single-Ended Mode)，請參閱圖七。圖七中顯示本發明之放大電路 60 的示意圖。放大電路 60 包含有一操作放大器 70 具有一正輸入端、一負輸入端 (如圖七中操作放大器 70 左側之 +、- 號所示) 及一輸出端，其中於本實施例中該正輸入端係電連接於一直流電壓源 (通常為 0V) 以提供偏壓。請注意，於圖七中之操作放大器 70 係使用一差動放大器，並以該差動放大器之正輸出端 (如圖七中操作放大器 70 右側之 + 號所示) 作為操作放大器 70 之輸出端；一第一輸入阻抗 62，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號 V_{i1} ；一第二輸入阻抗 64，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號 V_{i2} ；以及一第一輸出阻抗 66，其一端電連接於該負輸入端，另一端電連接於該輸出端。於本實施例中係將位於該輸出端上之訊號設為一第一輸出訊號 V_{o1} 。

請注意，於本實施例中，依據實際上設計之需要，第一輸入阻抗 62、第二輸入阻抗 64、或者第一輸出阻抗 66 可以為電阻性阻抗 (Resistive Impedance)、電容性阻抗 (Capacitive Impedance)、或者電感性阻抗 (Inductive Impedance)，以達到不同之目的。

於圖七中所示本發明之放大電路 60 亦如圖二中所示



五、發明說明 (19)

之放大電路 10，經由適當之第一輸入阻抗 62、第二輸入阻抗 64、以及第一輸出阻抗 66 的種類及數值之設定，透過如前述之公式二、公式四、及公式五之推導，即可達到高等效輸入阻抗、高電壓衰減值、及大時間常數的目標，關於上述公式之推導係與圖二中所示之放大電路 10 之說明十分相似，故不在此處重覆說明，然而於此處須注意的是，前述之公式二、公式四、及公式五之推導中所使用的第一輸入阻抗 12、第二輸入阻抗 14、以及第一輸出阻抗 22，在本實施例當中係使用第一輸入阻抗 62、第二輸入阻抗 64、以及第一輸出阻抗 66 來取代。

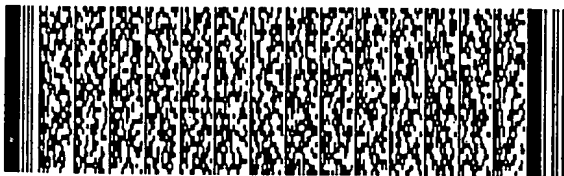
同樣地，為了於積體電路中非常精確地製造出二個非常接近之電阻性阻抗，如上述之 R_i 及 $R_i(1+\alpha)$ 或者 R_f 及 $R_f(1+\beta)$ ，而使得 α 及 β 之值為所需要之值，於本發明之實施例中將使用如前所述之兩種利用開關電容電路來實現放大電路 60 中之第一輸入阻抗 62、第二輸入阻抗 64、或者第一輸出阻抗 66 之實施方式，亦即於圖三及圖四中所示之開關電容電路 30、與於圖五及圖六中所示之開關電容電路 40。關於開關電容電路 30 及開關電容電路 40 於放大電路 60 中之應用說明係與前述者實質上相同，故不在此處重覆說明。

相較於習知技術中之放大電路，本發明之放大電路係將複數個阻抗元件分別電連接於輸入訊號及該放大器

五、發明說明 (20)

之輸入端之間，並電連接於該放大器之輸入端及輸出端之間，能夠在不使用大數值之阻抗元件的情形下，利用調整該等阻抗元件之數值及特性，以達到該放大電路能夠在不同的阻抗元件組合下分別具有等效輸入阻抗大、電壓增益值大（或者電壓衰減值大）、以及時間常數大等電路特性的目的。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變與修飾，皆屬於本發明專利之涵蓋範圍。章節結束



圖式簡單說明

圖式之簡單說明

圖一為習知技術中利用一操作放大器進行訊號放大之放大電路的示意圖。

圖二為本發明之放大電路的示意圖。

圖三為本發明之第一種開關電容電路的示意圖。

圖四為圖三中之開關電容電路的電路示意圖。

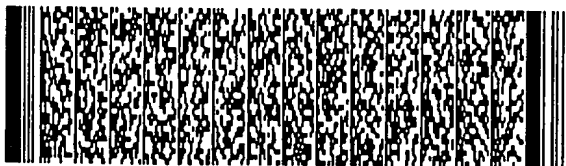
圖五為本發明之第二種開關電容電路的示意圖。

圖六為圖五中之開關電容電路的電路示意圖。

圖七為本發明之放大電路的示意圖。

圖式之符號說明

10、60	放大電路	20	差動放大器
12、14、16、18、62、64	輸入阻抗		
22、24、26、28、66	輸出阻抗		
30、40	開關電容電路		
32、42	電容		
34、36、44、46、48、50	開關		
70	操作放大器		



六、申請專利範圍

1. 一種放大電路，其包含有：

一差動放大器，該差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；

一第一輸入阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；

一第二輸入阻抗，其一端電連接於該正輸入端，另一端電連接於該第一輸入訊號；

一第三輸入阻抗，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號，該第三輸入阻抗係與該第二輸入阻抗實質上相同 (Substantially the same)；

一第四輸入阻抗，其一端電連接於該正輸入端，另一端電連接於該第二輸入訊號，該第四輸入阻抗係與該第一輸入阻抗實質上相同；

一第一輸出阻抗，其一端電連接於該負輸出端，另一端電連接於該正輸出端；

一第二輸出阻抗，其一端電連接於該負輸入端，另一端電連接於該負輸出端；

一第三輸出阻抗，其一端電連接於該正輸入端，另一端電連接於該正輸出端，該第三輸出阻抗係與該第二輸出阻抗實質上相同；以及

一第四輸出阻抗，其一端電連接於該正輸入端，另一端電連接於該負輸出端，該第四輸出阻抗係與該第一輸出阻抗實質上相同；

六、申請專利範圍

其中該正輸出端係用以輸出一第一輸出訊號，該負輸出端係用以輸出一第二輸出訊號。

2. 如申請專利範圍第1項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第三輸入阻抗、該第四輸入阻抗、該第一輸出阻抗、該第二輸出阻抗、該第三輸出阻抗、或者該第四輸出阻抗可為電阻性阻抗 (Resistive Impedance)。

3. 如申請專利範圍第2項所述之放大電路，其中該電阻性阻抗係為一開關電容電路 (Switch Capacitor Circuit)。

4. 如申請專利範圍第3項所述之放大電路，其中該開關電容電路包含有：

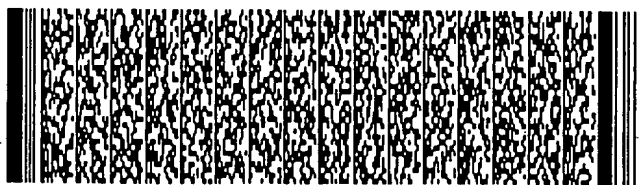
一電容，電連接於一第一節點及一接地端之間；

一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及

一第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；

其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

5. 如申請專利範圍第4項所述之放大電路，其中該第一



六、申請專利範圍

開關由一第一週期訊號所控制，該第二開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態 (Active State) 係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期 (Duty Cycle) 係相同。

6. 如申請專利範圍第5項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動 (Active High)。

7. 如申請專利範圍第3項所述之放大電路，其中該開關電容電路包含有：

- 一電容，電連接於一第一節點及一第二節點之間；
 - 一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；
 - 一第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；
 - 一第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及
 - 一第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；
- 其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關

六、申請專利範圍

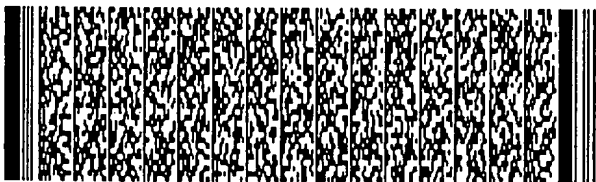
及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。

8. 如申請專利範圍第7項所述之放大電路，其中該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

9. 如申請專利範圍第8項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動 (Active High)。

10. 如申請專利範圍第1項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第三輸入阻抗、該第四輸入阻抗、該第一輸出阻抗、該第二輸出阻抗、該第三輸出阻抗、或者該第四輸出阻抗可為電容性阻抗 (Capacitive Impedance)。

11. 如申請專利範圍第1項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第三輸入阻抗、該第四輸入阻抗、該第一輸出阻抗、該第二輸出阻抗、該第三輸出阻抗、或者該第四輸出阻抗可為電感性阻抗。



六、申請專利範圍

(Inductive Impedance) 。

12. 一種放大電路，其包含有：

一操作放大器，該操作放大器具有一正輸入端、一負輸入端、及一輸出端，該正輸入端係電連接於一直流電壓源；

一第一輸入阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；

一第二輸入阻抗，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號；以及

一第一輸出阻抗，其一端電連接於該負輸入端，另一端電連接於該輸出端；

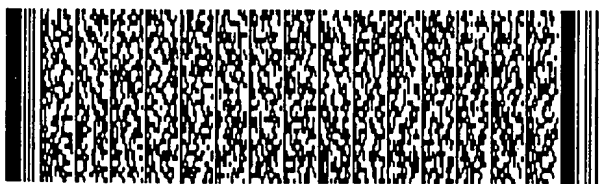
其中該輸出端係用以輸出一第一輸出訊號。

13. 如申請專利範圍第12項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、或者該第一輸出阻抗可為電阻性阻抗。

14. 如申請專利範圍第13項所述之放大電路，其中該電阻性阻抗係為一開關電容電路。

15. 如申請專利範圍第14項所述之放大電路，其中該開關電容電路包含有：

一電容，電連接於一第一節點及一接地端之間；



六、申請專利範圍

一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及
一 第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；
其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

16. 如申請專利範圍第15項所述之放大電路，其中該第一開關由一第一週期訊號所控制，該第二開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

17. 如申請專利範圍第16項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

18. 如申請專利範圍第14項所述之放大電路，其中該開關電容電路包含有：

一 電容，電連接於一第一節點及一第二節點之間；
一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；
一 第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；

六、申請專利範圍

一 第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及

一 第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；

其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。

18. 如申請專利範圍第 18 項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為同類型開關，該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

20. 如申請專利範圍第 19 項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為 MOS 電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

21. 如申請專利範圍第 12 項所述之放大電路，其中該第

六、申請專利範圍

一輸入阻抗、該第二輸入阻抗、或者該第一輸出阻抗可為電容性阻抗。

22. 如申請專利範圍第12項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、或者該第一輸出阻抗可為電感性阻抗。

23. 一種放大電路，其包含有：

一差動放大器，該差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；

一第一輸入阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；

一第二輸入阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於一第二輸入訊號，該第四輸入阻抗係與該第一輸入阻抗實質上相同；

一第一輸出阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於該正輸出端；

一第二輸出阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於該負輸出端；

一第三輸出阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該正輸出端，該第三輸出阻抗係與該第二輸出阻抗實質上相同；以及

一第四輸出阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該負輸出端，該第四輸

六、申請專利範圍

出阻抗係與該第一輸出阻抗實質上相同；

其中該正輸出端係用以輸出一第一輸出訊號，該負輸出端係用以輸出一第二輸出訊號，該第一輸出阻抗及該第四輸出阻抗之阻抗值係與該第二輸出阻抗及該第三輸出阻抗之阻抗值十分接近，以使得該放大電路具有一高電壓增益值。

24. 如申請專利範圍第23項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第一輸出阻抗、該第二輸出阻抗、該第三輸出阻抗、或者該第四輸出阻抗可開關電容電路。

25. 如申請專利範圍第24項所述之放大電路，其中該開關電容電路包含有：

一電容，電連接於一第一節點及一接地端之間；

一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及

一第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；

其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

26. 如申請專利範圍第25項所述之放大電路，其中該第一開關由一第一週期訊號所控制，該第二開關由一第二

六、申請專利範圍

週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

27. 如申請專利範圍第26項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

28. 如申請專利範圍第24項所述之放大電路，其中該開關電容電路包含有：

一電容，電連接於一第一節點及一第二節點之間；

一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；

一第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；

一第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及

一第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；

其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。



六、申請專利範圍

29. 如申請專利範圍第28項所述之放大電路，其中該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

30. 如申請專利範圍第29項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高主動。

31. 一種放大電路，其包含有：

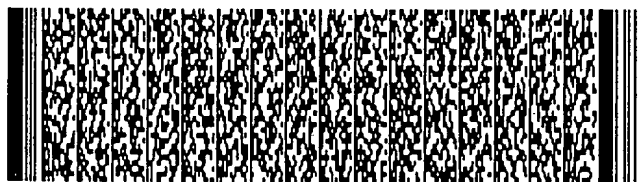
一差動放大器，該差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；

一第一輸入阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；

一第二輸入阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該第一輸入訊號；

一第三輸入阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號，該第三輸入阻抗係與該第二輸入阻抗實質上相同；

一第四輸入阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該第二輸入訊號，該第



六、申請專利範圍

四 輸入阻抗係與該第一輸入阻抗實質上相同；

一 第一輸出阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於該正輸出端；以及

一 第二輸出阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該負輸出端，該第四輸出阻抗係與該第一輸出阻抗實質上相同；

其中該正輸出端係用以輸出一第一輸出訊號，該負輸出端係用以輸出一第二輸出訊號，該第一輸入阻抗及該第四輸入阻抗之阻抗值係與該第二輸入阻抗及該第三輸入阻抗之阻抗值十分接近，以使得該放大電路具有一電壓衰減值。

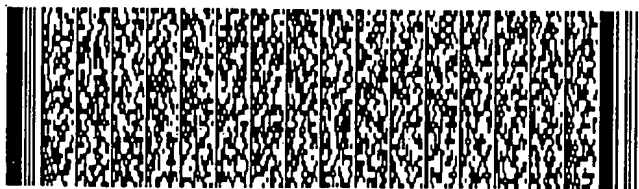
32. 如申請專利範圍第31項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第三輸入阻抗、該第四輸入阻抗、該第一輸出阻抗、或者該第二輸出阻抗可為開關電容電路。

33. 如申請專利範圍第32項所述之放大電路，其中該開關電容電路包含有：

一 電容，電連接於一第一節點及一接地端之間；

一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及

一 第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；



六、申請專利範圍

其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

34. 如申請專利範圍第33項所述之放大電路，其中該第一開關由一第一週期訊號所控制，該第二開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

35. 如申請專利範圍第34項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

36. 如申請專利範圍第32項所述之放大電路，其中該開關電容電路包含有：

- 一電容，電連接於一第一節點及一第二節點之間；
- 一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；
- 一第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；
- 一第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及
- 一第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；

六、申請專利範圍

其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。

37. 如申請專利範圍第36項所述之放大電路，其中該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

38. 如申請專利範圍第37項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

39. 一種放大電路，其包含有：

- 一差動放大器，該差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；
- 一第一輸入阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；
- 一第二輸入阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該第一輸入訊號；

六、申請專利範圍

一 第三輸入阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於一第二輸入訊號，該第三輸入阻抗係與該第二輸入阻抗實質上相同；

一 第四輸入阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該第二輸入訊號，該第四輸入阻抗係與該第一輸入阻抗實質上相同；

一 第一輸出阻抗，為一電容性阻抗，其一端電連接於該負輸入端，另一端電連接於該正輸出端；以及

一 第二輸出阻抗，為一電容性阻抗，其一端電連接於該正輸入端，另一端電連接於該負輸出端，該第四輸入阻抗係與該第一輸出阻抗實質上相同；

其中該正輸出端係用以輸出一第一輸出訊號，該負輸出端係用以輸出一第二輸出訊號，該第一輸入阻抗及該第四輸入阻抗之阻抗值係與該第二輸入阻抗及該第三輸入阻抗之阻抗值十分接近，以使得該放大電路具有一大時間常數。

40. 如申請專利範圍第39項所述之放大電路，其中該第一輸入阻抗、該第二輸入阻抗、該第三輸入阻抗、或者該第四輸入阻抗可為開關電容電路。

41. 如申請專利範圍第40項所述之放大電路，其中該開關電容電路包含有：

一電容，電連接於一第一節點及一接地端之間；

六、申請專利範圍

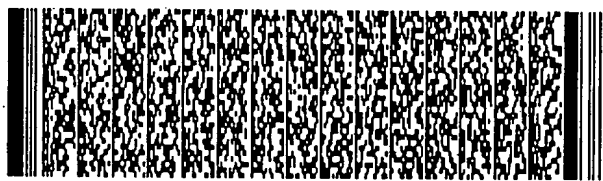
一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及
一 第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；
其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

42. 如申請專利範圍第41項所述之放大電路，其中該第一開關由一第一週期訊號所控制，該第二開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

43. 如申請專利範圍第42項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

44. 如申請專利範圍第40項所述之放大電路，其中該開關電容電路包含有：

一 電容，電連接於一第一節點及一第二節點之間；
一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；
一 第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；



六、申請專利範圍

一 第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及

一 第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；

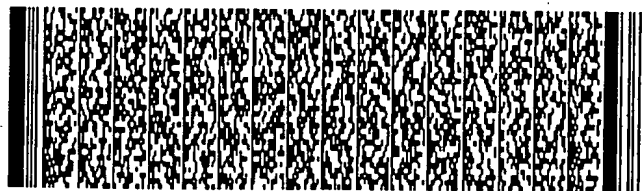
其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。

45. 如申請專利範圍第44項所述之放大電路，其中該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

46. 如申請專利範圍第45項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

47. 一種放大電路，其包含有：

一 差動放大器，該差動放大器具有一正輸入端、一負輸入端、一正輸出端、及一負輸出端；



六、申請專利範圍

一 第一輸入阻抗，為一電容性阻抗，其一端電連接於該負輸入端，另一端電連接於一第一輸入訊號；

一 第二輸入阻抗，為一電容性阻抗，其一端電連接於該正輸入端，另一端電連接於一第二輸入訊號，該第四輸入阻抗係與該第一輸入阻抗實質上相同；

一 第一輸出阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於該正輸出端；

一 第二輸出阻抗，為一電阻性阻抗，其一端電連接於該負輸入端，另一端電連接於該負輸出端；

一 第三輸出阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該正輸出端，該第三輸出阻抗係與該第二輸出阻抗實質上相同；以及

一 第四輸出阻抗，為一電阻性阻抗，其一端電連接於該正輸入端，另一端電連接於該負輸出端，該第四輸出阻抗係與該第一輸出阻抗實質上相同；

其中該正輸出端係用以輸出一第一輸出訊號，該負輸出端係用以輸出一第二輸出訊號，該第一輸出阻抗及該第四輸出阻抗之阻抗值係與該第二輸出阻抗及該第三輸出阻抗之阻抗值十分接近，以使得該放大電路具有一大時間常數。

48. 如申請專利範圍第47項所述之放大電路，其中該該第一輸出阻抗、該第二輸出阻抗、該第三輸出阻抗、或者該第四輸出阻抗可為開關電容電路。

六、申請專利範圍

49. 如申請專利範圍第48項所述之放大電路，其中該開關電容電路包含有：

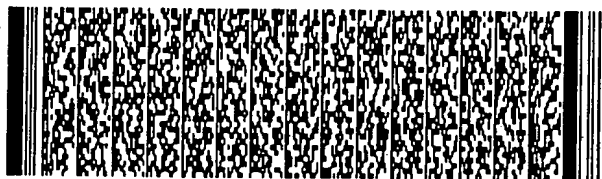
- 一電容，電連接於一第一節點及一接地端之間；
 - 一第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；以及
 - 一第二開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之另一端點；
- 其中該第一開關及該第二開關係交互地開啟，且該第一開關及該第二開關開啟之時間長度係相等。

50. 如申請專利範圍第49項所述之放大電路，其中該第一開關由一第一週期訊號所控制，該第二開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

51. 如申請專利範圍第50項所述之放大電路，其中該第一開關及該第二開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。

52. 如申請專利範圍第48項所述之放大電路，其中該開關電容電路包含有：

- 一電容，電連接於一第一節點及一第二節點之間；



六、申請專利範圍

一 第一開關，其一端電連接於該第一節點，另一端係作為該開關電容電路之一端點；

一 第二開關，其一端電連接於該第一節點，另一端電連接於一接地端；

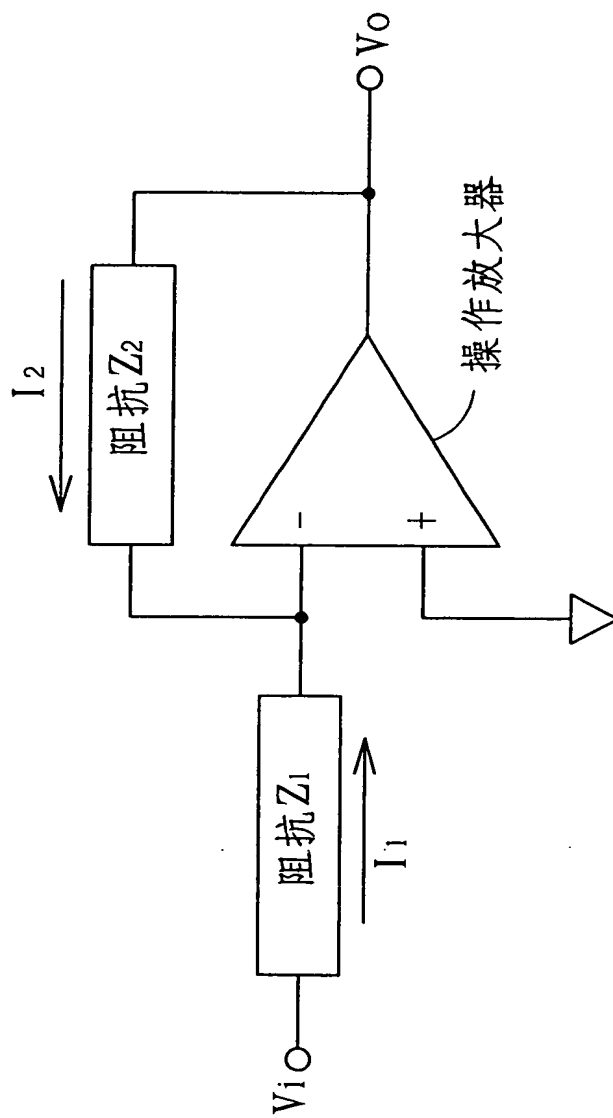
一 第三開關，其一端電連接於該第二節點，另一端係作為該開關電容電路之另一端點；以及

一 第四開關，其一端電連接於該第二節點，另一端電連接於該接地端；

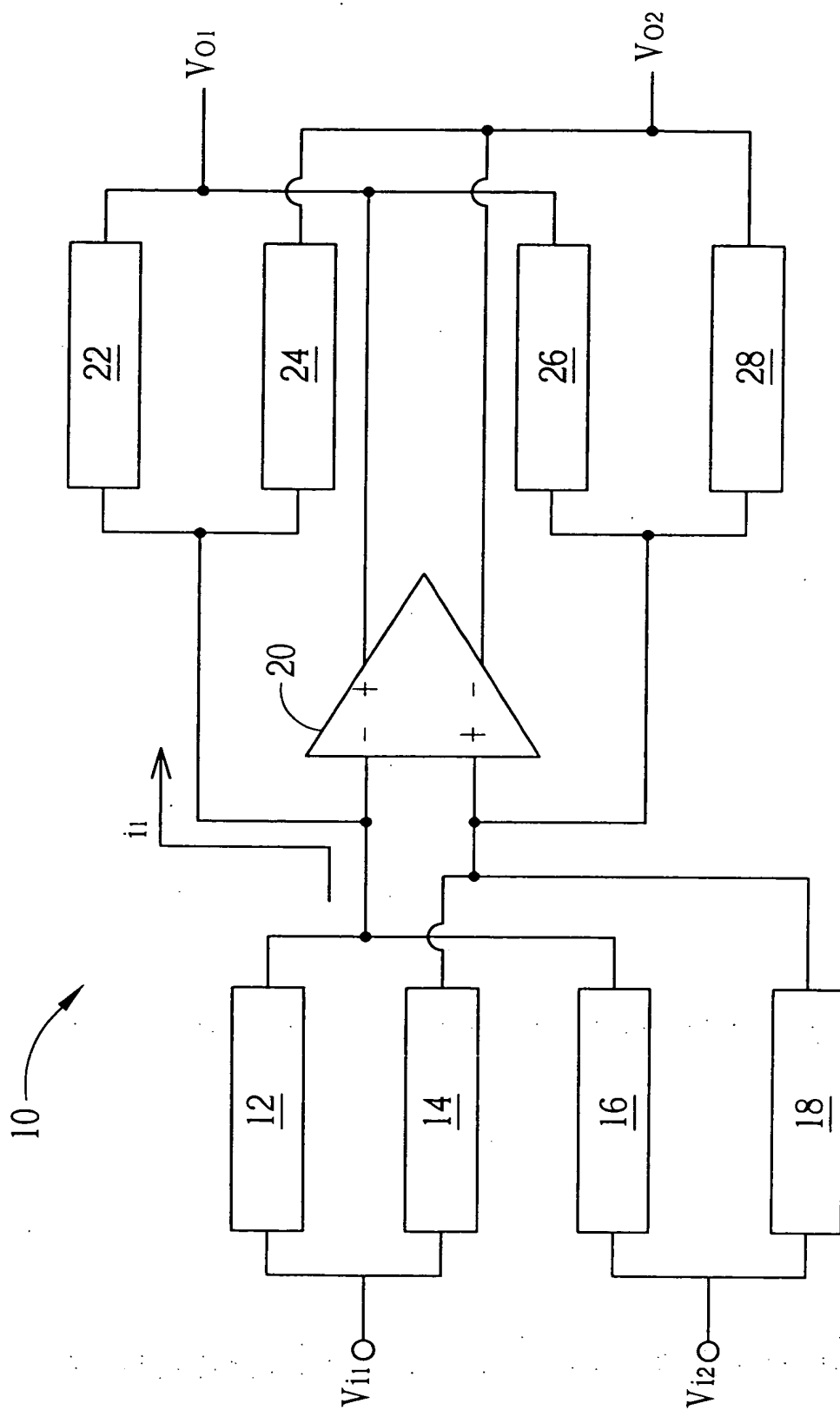
其中該第一開關及該第四開關係同時開啟，該第二開關及該第三開關係同時開啟，該第一開關及該第四開關與該第二開關及該第三開關係交互地開啟，且該第一開關及該第四開關開啟之時間長度與該第二開關及該第三開關開啟之時間長度係相等。

53. 如申請專利範圍第52項所述之放大電路，其中該第一開關及該第四開關由一第一週期訊號所控制，該第二開關及該第三開關由一第二週期訊號所控制，該第一週期訊號及該第二週期訊號之主動態係不相互重疊，且該第一週期訊號及該第二週期訊號之工作週期係相同。

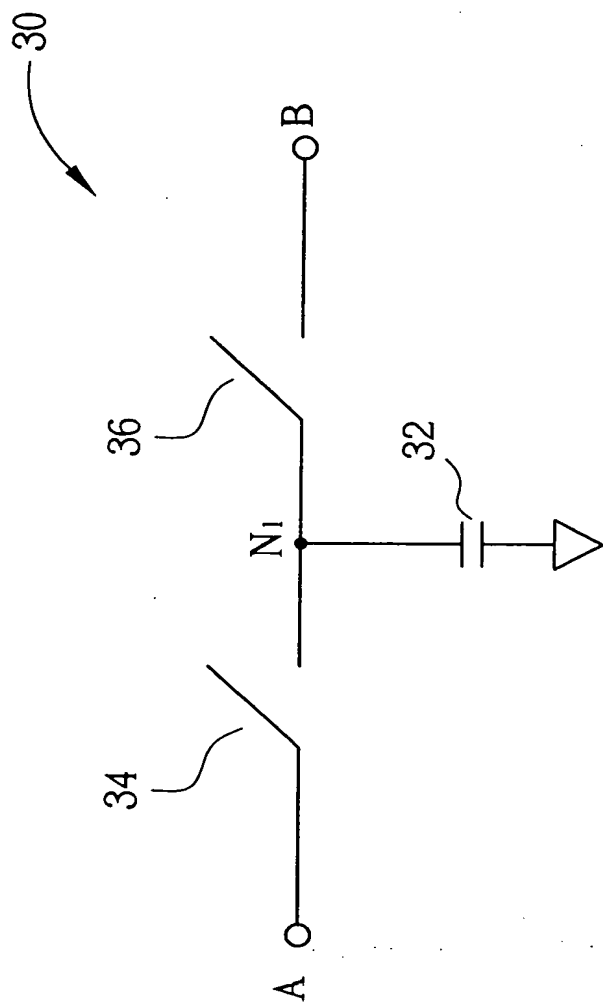
54. 如申請專利範圍第53項所述之放大電路，其中該第一開關、該第二開關、該第三開關、及該第四開關係為NMOS電晶體，該第一週期訊號及該第二週期訊號係為高態主動。



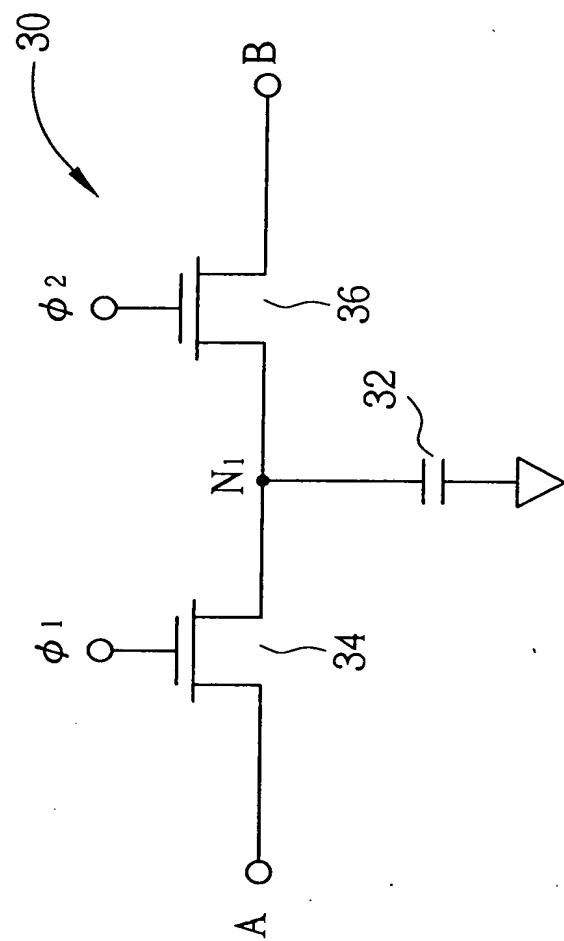
圖一



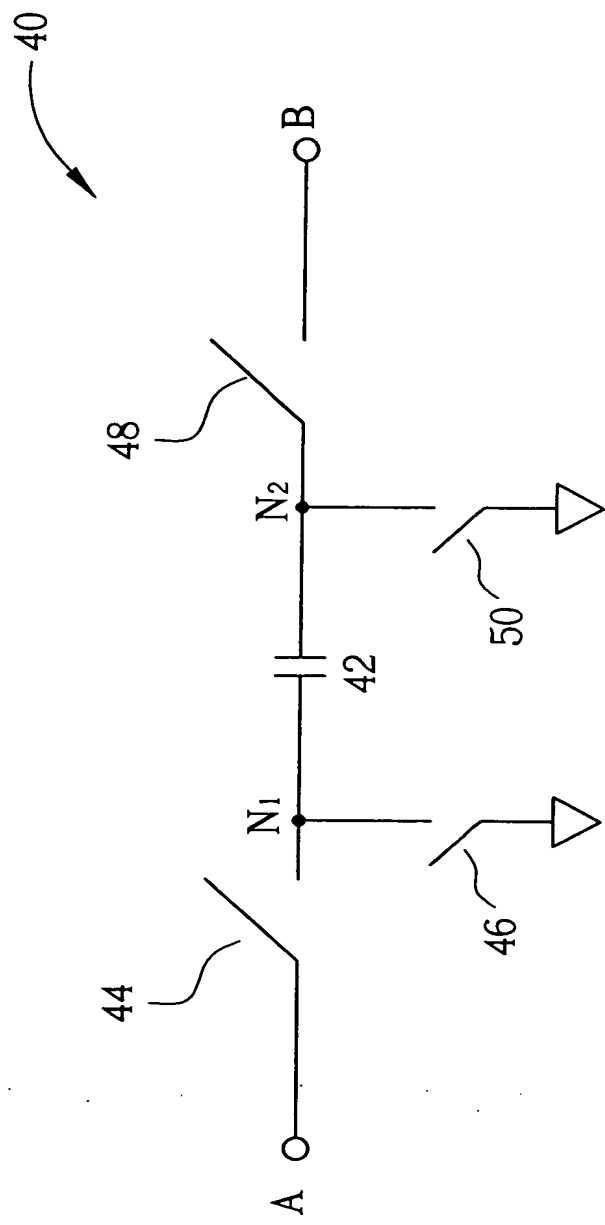
圖二



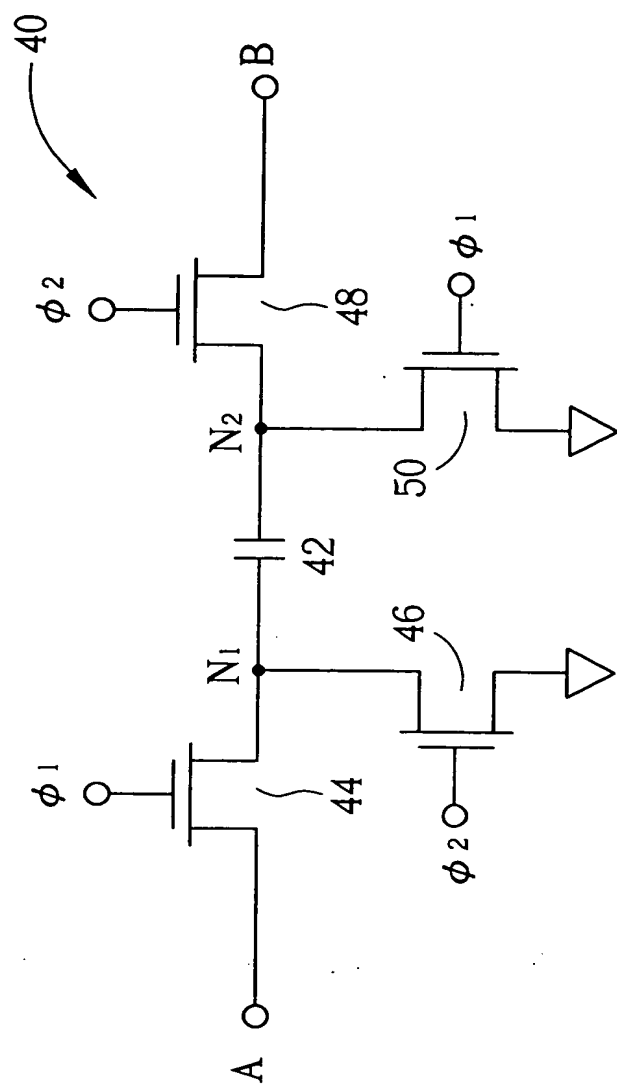
圖三



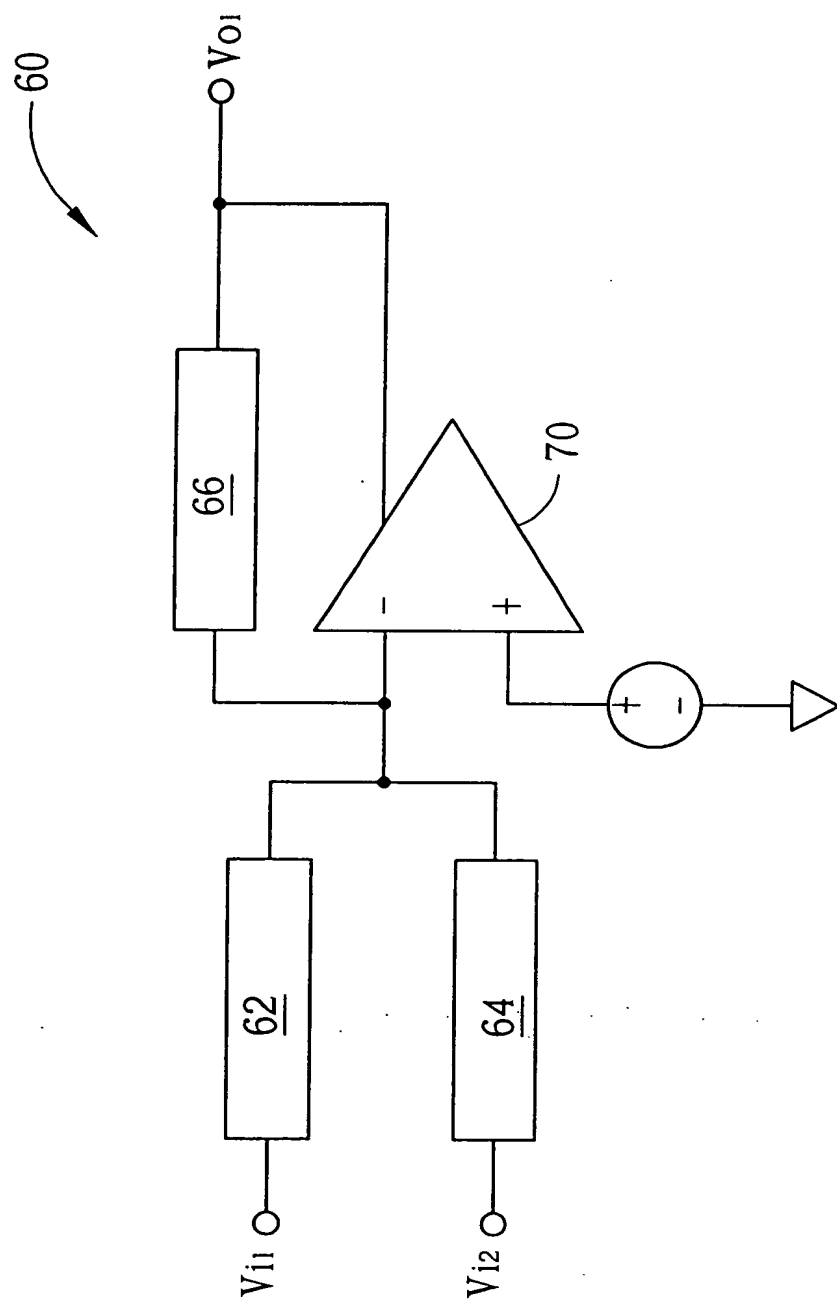
圖四






圖五




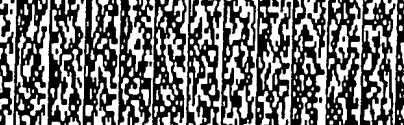

圖六



圖七


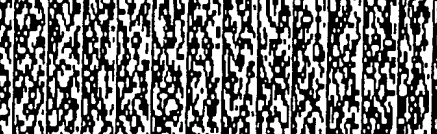







100




A black and white photograph showing a dense, textured surface, possibly a wall or a large piece of fabric. The texture is composed of many small, irregular, light-colored spots or fibers against a darker background. On the far left, there is a dark, vertical strip, which appears to be a shadow or a different material edge. The overall effect is one of a complex, organic pattern.



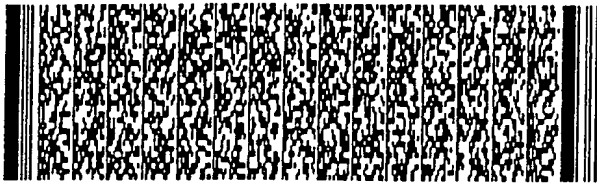


A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital graphic. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost cellular or crystalline appearance. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable objects.

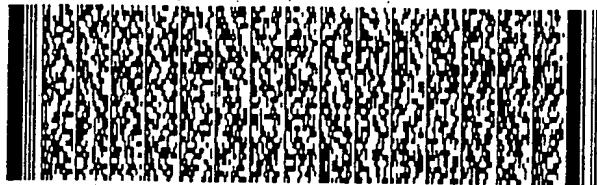
A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital graphic. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost cellular or crystalline appearance. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable objects.



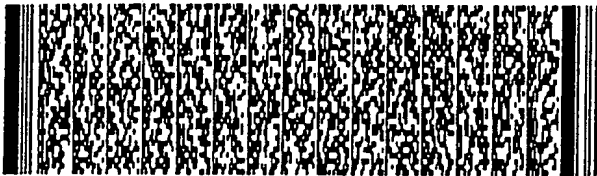
第 31/47 頁



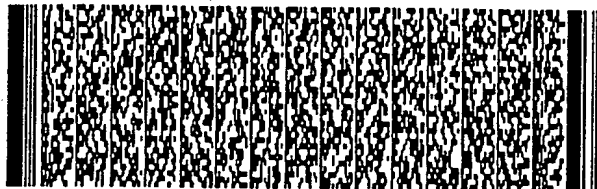
第 32/47 頁



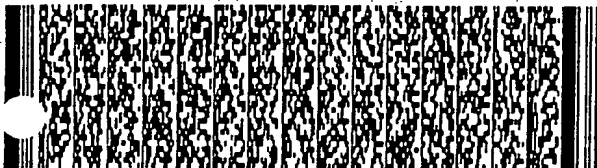
第 33/47 頁



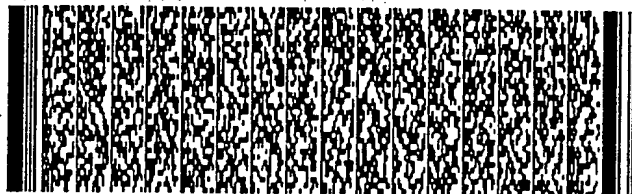
第 34/47 頁



第 35/47 頁



第 36/47 頁



第 37/47 頁



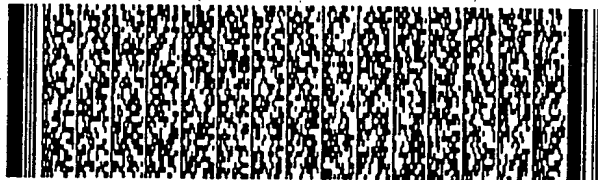
第 38/47 頁



第 39/47 頁



第 40/47 頁



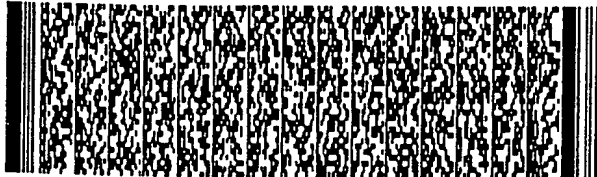
41/47 頁



第 42/47 頁



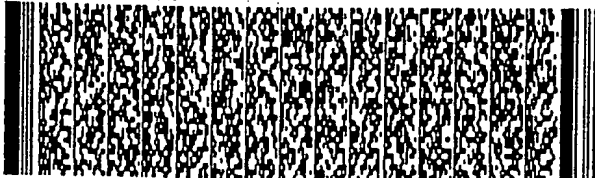
第 43/47 頁



第 44/47 頁



第 45/47 頁



第 46/47 頁



